

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

RESULT LIST

1 result found in the Worldwide database for:

"JP6290984" (priority or application number or publication number)

(Results are sorted by date of upload in database)

1 HIGH DIELECTRIC-CONSTANT CAPACITOR AND MANUFACTURE THEREOF

Inventor: KINOUCI SHINICHI; OKUDAIRA TOMOHITO; **Applicant:** MITSUBISHI ELECTRIC CORP

(+8)

EC:

IPC: H01G4/10 ; H01B3/00 ; (+2)

Publication Info: JP6290984 - 1994-10-18

Data supplied from the esp@cenet database - Worldwide

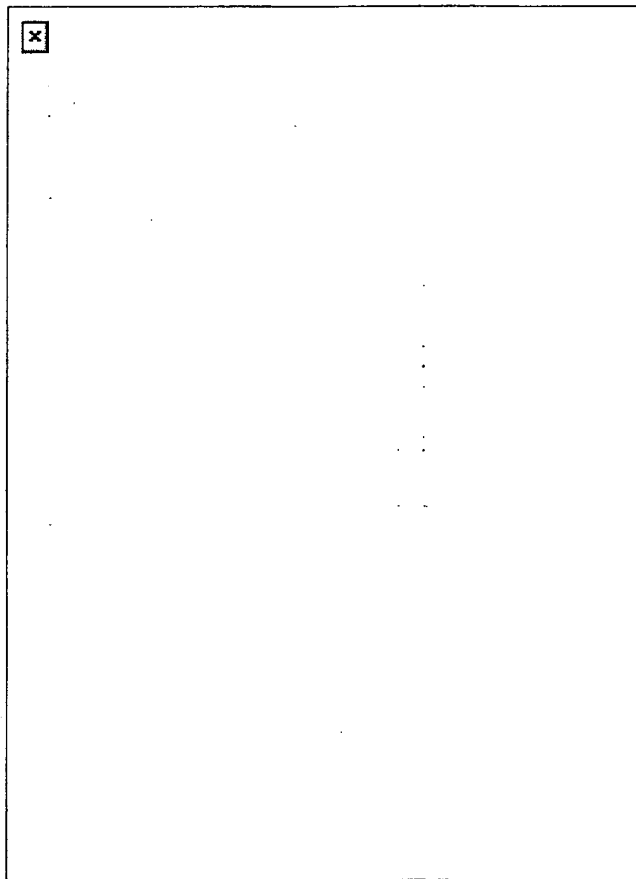
HIGH DIELECTRIC-CONSTANT CAPACITOR AND MANUFACTURE THEREOF

Patent number: JP6290984
Publication date: 1994-10-18
Inventor: KUROIWA TAKEHARU; others: 09
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- **International:** H01G4/10; H01B3/00; H01L27/04; H01L27/108
- **european:**
Application number: JP19930079553 19930406
Priority number(s):

Abstract of JP6290984

PURPOSE: To provide a high dielectric-constant capacitor, which is used as a capacitor for a semiconductor storage device and in which capacitor characteristics are not deteriorated even in the heat treatment in a manufacturing process, while providing the capacitor having a high dielectric constant and small leakage currents regardless of heat treatment, manufacture thereof and a dielectric film for the capacitor.

CONSTITUTION: A dielectric film 4 consisting of a dielectric material mainly comprising a metallic oxide and a pair of lower and upper electrodes 3, 5 oppositely faced while holding the dielectric film are formed, and a protective film 1 preventing oxygen deficiency is formed onto the upper electrode 5.



Data supplied from the esp@cenet database - Worldwide

特開平6-290984

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/10		9375-5E		
H 0 1 B 3/00	F	9059-5G		
H 0 1 L 27/04	C	8427-4M		
27/108				
		7210-4M		
			H 0 1 L 27/ 10	3 2 5 J
			審査請求 未請求	請求項の数16 O L (全 25 頁)

(21)出願番号 特願平5-79553

(22)出願日 平成5年(1993)4月6日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 黒岩 丈晴

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 本多 俊久

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 松野 繁

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(74)代理人 弁理士 高田 守

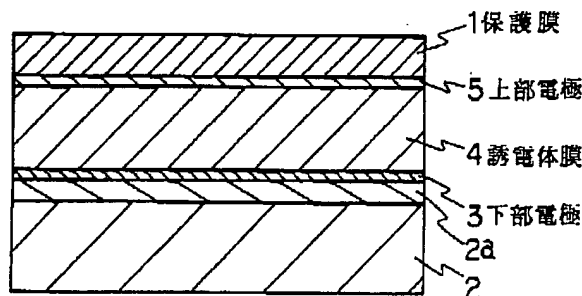
最終頁に続く

(54)【発明の名称】 高誘電率キャパシタおよびその製法

(57)【要約】

【目的】 半導体記憶装置用キャパシタで、製造プロセスの熱処理においてもキャパシタ特性が劣化しない高誘電率キャパシタを提供すると共に、熱処理の有無にかかわらず高誘電率で漏れ電流の小さいキャパシタ、その製法およびキャパシタ用誘電体膜を提供する。

【構成】 金属酸化物を主成分とする誘電体材料からなる誘電体膜4と、該誘電体膜を挟んで対向する1対の下部および上部電極3、5が設けられ、上部電極5の上に酸素欠損を防止する保護膜1が形成されている。



【特許請求の範囲】

【請求項1】 金属酸化物を主成分とする高誘電率の誘電体材料からなる誘電体膜と、前記誘電体膜を挟んで対向する一対の電極からなる高誘電率キャパシタであって、前記誘電体膜の上部に形成された上部電極の上に前記誘電体材料の酸素欠損を抑制する保護膜が形成されてなる高誘電率キャパシタ。

【請求項2】 前記保護膜の材料が、(a) Ti、Al、W、Mo、Ta、Nb、V、Cr、ZrおよびGaよりなる群から選ばれた少なくとも一種の金属のチッ化物、(b) Ti、Al、Ta、Nb、Zr、Re、MgおよびSrよりなる群から選ばれた少なくとも一種の金属の酸化物、(c) Ti、W、Pt、Mo、Ta、Nb、V、Cr、ZrおよびCoよりなる群から選ばれた少なくとも一種の金属のシリケート、および(d) Ti、W、Ta、Cu、Ge、NiおよびCrよりなる群から選ばれた少なくとも一種の金属またはそれらの合金よりなる群から選ばれた少なくとも一種の物質からなる請求項1記載の高誘電率キャパシタ。

【請求項3】 前記保護膜は、請求項2記載の材料の少なくとも2種類が積層されてなる請求項1または2記載の高誘電率キャパシタ。

【請求項4】 金属酸化物を主成分とする誘電体材料からなる誘電体膜と、該誘電体膜を挟んで対向する一対の電極からなる半導体記憶装置のキャパシタであって、前記誘電体膜が2種類以上の誘電体材料の積層膜からなる高誘電率キャパシタ。

【請求項5】 下部電極上に金属酸化物を主成分とする誘電体材料からなる誘電体膜を設け、該誘電体膜上に上部電極を設けてなる半導体記憶装置のキャパシタの製法であって、前記誘電体膜の成膜後、該誘電体膜を酸化性雰囲気下で、かつ、15℃/分以下の速度で冷却することを特徴とするキャパシタの製法。

【請求項6】 下部電極上に金属酸化物を主成分とする誘電体材料からなる誘電体膜を設け、該誘電体膜上に上部電極を設けてなる半導体記憶装置のキャパシタの製法であって、前記誘電体膜上に上部電極を成膜したのちに、酸化性雰囲気下で熱処理することを特徴とするキャパシタの製法。

【請求項7】 下部電極上に金属酸化物を主成分とする誘電体材料からなる誘電体膜を設け、該誘電体膜上に上部電極を設けてなる半導体記憶装置のキャパシタの製法であって、前記誘電体膜の成膜後に、酸化性ガスの分圧が1気圧以上の圧力である酸化性雰囲気下で熱処理することを特徴とするキャパシタの製法。

【請求項8】 下部電極上に金属酸化物を主成分とする誘電体材料からなる誘電体膜を設け、該誘電体膜上に上部電極を設けてなる半導体記憶装置のキャパシタの製法であって、前記誘電体膜の成膜工程と、これに連続する酸化性雰囲気下で熱処理する工程とを、少なくとも2回

繰り返して所定の厚さの誘電体膜を設けることを特徴とするキャパシタの製法。

【請求項9】 1つの真空室内に成膜機構、酸化性雰囲気下での熱処理機構および基板加熱装置を備えた基板支持機構とが設置されてなる誘電体膜の製造装置。

【請求項10】 前記酸化雰囲気下での熱処理機構が、1気圧以上に昇圧できることを特徴とする請求項9記載の誘電体膜の製造装置。

【請求項11】 $(Ba_{1-x}Sr_x)TiO_3$ 、 $0 \leq x \leq 1$ なる組成式で表される組成物に、Mn元素を酸化物 Mn_2O_3 の分子式で0.05wt%から5wt%添加含有せしめられてなるキャパシタ用誘電体膜。

【請求項12】 $Pb(Zr_{1-y}Ti_y)O_3$ 、 $0 \leq y \leq 1$ なる組成で表される組成物に、Mn元素を酸化物 Mn_2O_3 の分子式で0.05wt%から5wt%添加含有せしめられてなるキャパシタ用誘電体膜。

【請求項13】 請求項12記載の組成物のPb元素の2から15mol%がSrで置換されてなるキャパシタ用誘電体膜。

【請求項14】 $(Sr_{1-z}Ca_z)Ti_2O_7$ なる組成式で表される組成物において、 $0.4 \leq z \leq 0.8$ なる組成を有してなるキャパシタ用誘電体膜。

【請求項15】 $(Sr_{1-z}Ca_z)Ti_2O_7$ 、 $0.4 \leq z \leq 0.8$ なる組成で表される組成物に、 Me_2O (Meは、La、Nd、Sm、Gdのいずれかを表す)なる組成式で表される酸化物を0.05mol%から5mol%添加含有せしめられてなるキャパシタ用誘電体膜。

【請求項16】 請求項15記載の材料に、さらにMn元素を Mn_2O_3 の分子式で0.05wt%から5wt%添加含有せしめられてなるキャパシタ用誘電体膜。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は主として金属酸化物からなり、誘電率が大きい誘電体膜が用いられた半導体記憶装置のキャパシタ、その製法、その製造装置およびキャパシタ用誘電体膜に関する。

【0002】

【従来の技術】 現在の半導体記憶装置に用いられているキャパシタは、シリコン酸化膜もしくはシリコンチッ化膜、またはそれらの積層体からなる誘電体膜が対向する1対の多結晶シリコンなどから成る電極で挟まれた構造を有する。この構造のキャパシタはDRAM (Dynamic Random Access Memory) のメモリーセルなどに多く採用されている。

【0003】 このような半導体記憶装置は、近年の微細化技術の進展によって、その集積化が進んでいる。集積化の進展はチップ面積の縮小、ひいてはキャパシタセルのチップ面積に対する占有面積の減少が強いられてきた。しかしながらキャパシタ面積の減少はキャパシタの

蓄積電荷容量の低下をもたらす。記憶装置として機能させるにはある一定の蓄積電荷量が必要であるので、これまではキャパシタの電極面積を大きくとるために3次元構造のキャパシタセルが開発されてきている。

【0004】しかしながら、3次元構造のセルを作るには複雑な製造プロセスが必要であり、製造設備費および製造コストの増加をもたらす、半導体事業を圧迫する要因になっている。そのため、キャパシタセル構造の簡素化による製造のコストの低減が強く求められている。

【0005】一方、従来のシリコン酸化物やシリコンチッ化物に代わって誘電率の大きな誘電体材料によりキャパシタを作製することによって、集積度が上がっても簡単な平面構造のキャパシタを構成することができる。この高誘電率キャパシタ用の誘電体材料として、これまでにSrTiO₃系、PZT(PbZrO₃-PbTiO₃固溶体)系、Ta₂O₅などの金属酸化物を主成分とした材料が開発されている。

【0006】従来のキャパシタは、たとえば特開平3-110861号公報、特開平3-126252号公報や特開昭60-205913号公報などに開示されているように、シリコンウエハ基板上に絶縁膜を介して下部電極、誘電体膜および上部電極が積層されて形成されている。下部電極と誘電体膜とのあいだにバリアー層が形成されることもある。多くのばあい、上下の電極には白金Ptが用いられる。

【0007】

【発明が解決しようとする課題】前述の金属酸化物を主成分とする高誘電率材料には、誘電率が大きいこと、漏れ電流が十分に小さいことなどのキャパシタ特性が求められる。しかしながら、多くの金属酸化物はその製造プロセスや種々の環境において酸素欠損が生じ、誘電体としての特性が劣化すること、また、ばあいによっては半導性を示すことが知られている。したがって、キャパシタの成膜条件や成膜後の処理方法によっては所望のキャパシタ特性がえられないという問題がある。

【0008】また、半導体デバイスの製造プロセスは数多くの工程から成っており、その数は数百にも及ぶことがある。高誘電率キャパシタもこれらの種々の製造プロセスにおける環境にさらされるが、諸条件下でそのキャパシタ特性の劣化があってはならない。たとえば、Ptからなる上部電極を用いた、通常の高誘電率キャパシタでは、チッ素雰囲気下や真空中で450℃以上の温度が加わると誘電特性が著しく劣化し、キャパシタとして機能しないという問題がある。

【0009】また、前述のSrTiO₃系、PZT系などの誘電率の大きい材料において、さらに誘電率が大きく、漏れ電流の小さいキャパシタ用誘電体材料が要望されている。

【0010】本発明は叙上の問題を解決するためになされたものであり、キャパシタ形成後の熱処理工程におい

ても、酸素欠損に伴うキャパシタ特性が劣化しないキャパシタを提供することを目的としている。

【0011】本発明はさらに、キャパシタが形成されたあとの熱処理工程前の初期特性においても、誘電率が大きく、漏れ電流の小さいキャパシタがえられるキャパシタの製法、その製造装置およびキャパシタ用誘電体膜を提供することを目的としている。そのため本発明では、従来のSrTiO₃系やPZT系などの誘電体材料の漏れ電流を低減させる効果を有する元素の添加などにより、従来の材料の誘電率または漏れ電流の特性が改善された新規な誘電体材料をも提供する。

【0012】

【課題を解決するための手段】本発明の高誘電率キャパシタは、金属酸化物を主成分とする高誘電率の誘電体材料からなる誘電体膜と、前記誘電体膜を挟んで対向する一対の電極からなる高誘電率キャパシタであって、前記誘電体膜の上部に形成された上部電極の上に前記誘電体材料の酸素欠損を抑制する保護膜が形成されていることを特徴とする。

【0013】前記保護膜の材料は、(a)Ti、Al、W、Mo、Ta、Nb、V、Cr、ZrおよびGaよりなる群から選ばれた少なくとも一種の金属のチッ化物、(b)Ti、Al、Ta、Nb、Zr、Re、MgおよびSrよりなる群から選ばれた少なくとも一種の金属の酸化物、(c)Ti、W、Pt、Mo、Ta、Nb、V、Cr、ZrおよびCoよりなる群から選ばれた少なくとも一種の金属のシリケート、および(d)Ti、W、Ta、Cu、Ge、NiおよびCrよりなる群から選ばれた少なくとも一種の金属またはそれらの合金よりなる群から選ばれた少なくとも一種の物質からなることが望ましい。

【0014】さらに、前記保護膜は、前記材料の少なくとも2種類が積層されてなることが望ましい。

【0015】また、本発明の高誘電率キャパシタは、金属酸化物を主成分とする誘電体材料からなる誘電体膜と、該誘電体膜を挟んで対向する一対の電極からなる半導体記憶装置のキャパシタであって、前記誘電体膜が2種類以上の誘電体材料の積層膜からなることを特徴とする。

【0016】請求項5記載の発明のキャパシタの製法は、下部電極上に金属酸化物を主成分とする誘電体材料からなる誘電体膜を設け、該誘電体膜上に上部電極を設けてなる半導体記憶装置のキャパシタの製法であって、前記誘電体膜の成膜後、該誘電体膜を酸化性雰囲気下で、かつ、15℃/分以下の速度で冷却することを特徴とする。

【0017】請求項6記載の発明のキャパシタの製法は、下部電極上に金属酸化物を主成分とする誘電体材料からなる誘電体膜を設け、該誘電体膜上に上部電極を設けてなる半導体記憶装置のキャパシタの製法であって、

前記誘電体膜上に上部電極を成膜したのちに、酸化性雰囲気下で熱処理することを特徴とする。

【0018】請求項7記載の発明のキャパシタの製法は、下部電極上に金属酸化物を主成分とする誘電体材料からなる誘電体膜を設け、該誘電体膜上に上部電極を設けてなる半導体記憶装置のキャパシタの製法であって、前記誘電体膜の成膜後に、酸化性ガスの分圧が1気圧以上の圧力である酸化性雰囲気下で熱処理することを特徴とする。

【0019】請求項8記載の発明のキャパシタの製法は、下部電極上に金属酸化物を主成分とする誘電体材料からなる誘電体膜を設け、該誘電体膜上に上部電極を設けてなる半導体記憶装置のキャパシタの製法であって、前記誘電体膜の成膜工程と、これに連続する酸化性雰囲気下で熱処理する工程とを、少なくとも2回繰り返して所定の厚さの誘電体膜を設けることを特徴とする。

【0020】本発明による誘電体膜の製造装置は、1つの真空室内に成膜機構、酸化性雰囲気下での熱処理機構および基板加熱装置を備えた基板支持機構とが設置されていることを特徴とする。

【0021】前記熱処理機構は、1気圧以上に昇圧できることが好ましい。

【0022】また、本発明のキャパシタ用誘電体膜は、 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 、 $0 \leq x \leq 1$ なる組成式で表される組成物に、Mn元素を酸化物 Mn_2O_3 の分子式で0.05wt%から5wt%添加含有せしめられてなることを特徴とする。

【0023】前記 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 、 $0 \leq x \leq 1$ なる組成物に代えて $\text{Pb}(\text{Zr}_{1-y}\text{Ti}_y)\text{O}_3$ 、 $0 \leq y \leq 1$ なる組成物を用いても同様に高特性のキャパシタ用誘電体膜がえられる。

【0024】さらに、前記組成物のPb元素の2から15mol%をSrで置換することが好ましい。

【0025】また、本発明のキャパシタ用誘電体膜は、 $(\text{Sr}_{1-z}\text{Ca}_z)\text{Ti}_2\text{O}_7$ なる組成式で表される組成物において、 $0.4 \leq z \leq 0.8$ なる組成を有してなることを特徴とする。

【0026】前記 $(\text{Sr}_{1-z}\text{Ca}_z)\text{Ti}_2\text{O}_7$ 、 $0.4 \leq z \leq 0.8$ なる組成で表される組成物に、 Me_2O （Meは、La、Nd、Sm、Gdのいずれかを表す）なる組成式で表される酸化物を0.05mol%から5mol%添加含有せしめられることが好ましい。さらに、この材料にMn元素を Mn_2O_3 の分子式で0.05wt%から5wt%添加含有せしめられることが一層好ましい。

【0027】

【作用】本発明によれば、キャパシタの上部電極の上に特別の保護膜が設けられているため、キャパシタの製造プロセス中での酸素欠損を抑制することができる。これにより、キャパシタの特性の劣化を抑えることができ、

安定した高誘電率で漏れ電流の小さいキャパシタの性能がえられる。

【0028】本発明による2種類以上の誘電体材料の積層膜からなる高誘電率キャパシタによれば、各々の誘電体材料がもつ特性が複合化されるため、優れたキャパシタ特性がえられる。

【0029】本発明の誘電体膜の製法において、成膜停止後、酸化性雰囲気下で徐冷することにより、成膜停止後基板取出しまでの過程における酸素欠損を抑制させることができ、安定した特性の誘電体膜をうることができる。

【0030】さらに、上部電極を形成したのちに、酸化性雰囲気下で熱処理をすることにより、酸素欠損を回復させることができ、優れたキャパシタ特性を有するキャパシタをうることができる。

【0031】さらに、誘電体膜の成膜後に、1気圧以上の酸化性ガス分圧下にて熱処理することにより、熱処理中での酸素欠損が抑制されるため、優れたキャパシタ特性を有する誘電体膜をうることができる。

【0032】また、成膜工程と酸化性雰囲気下の熱処理工程とを2回以上繰り返すことにより、成膜過程での酸素欠損を回復させつつ成膜ができるために、酸素欠損の少ない優れたキャパシタ特性を有する誘電体膜をうることができる。

【0033】本発明の誘電体膜製造装置によれば、1つの真空装置内に成膜機構と熱処理機構とが備えられているために、成膜工程と熱処理工程とを繰り返すことができ、酸素欠損の少ない優れたキャパシタ特性を有する誘電体膜をうることができる。

【0034】さらに本発明の製造装置において、1つの真空装置内に成膜機構と高圧の酸化性雰囲気が作れる熱処理機構とが備えられることにより、成膜過程と高圧酸化性雰囲気下での熱処理とが連続的に行える。そのため、成膜工程と熱処理工程とを複数回繰り返すことも容易である。このことによって、酸素欠損の少ない優れたキャパシタ特性を有する誘電体膜をうることができる。

【0035】本発明のキャパシタ用誘電体膜によれば、 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 、 $0 \leq x \leq 1$ 、 $\text{Pb}(\text{Zr}_{1-y}\text{Ti}_y)\text{O}_3$ 、 $0 \leq y \leq 1$ または $(\text{Sr}_{1-z}\text{Ca}_z)\text{Ti}_2\text{O}_7$ 、 $0.4 \leq z \leq 0.8$ なる組成物に、微量のMn元素を含有させることにより、成膜時などに発生する酸素欠陥によるTi元素の+3価イオン発生とその+4価イオンとのあいだの電子の交換による抵抗の低下をMn自身の価数変化によって電子のやり取りを短範囲化することによって防ぐことができる。そのため、高い絶縁性（低漏れ電流密度）をもたせることができ、酸素欠損の少ない優れたキャパシタ特性を有する誘電体膜をうることができる。

【0036】本発明において $\text{Sr}_2\text{Ti}_2\text{O}_7$ （比誘電率=38）と $\text{Ca}_2\text{Ti}_2\text{O}_7$ （比誘電率=59）との固溶

体を誘電体材料として用いることにより、中間の組成領域で比誘電率が両組成端の比誘電率よりも著しく大きくなる。よって、組成範囲を選ぶことにより、誘電率の充分大きい誘電体膜をうることができる。

【0037】前記固溶体に、さらにSrの+2価イオンとTiの+4価イオンのイオン半径の平均値(0.92 Å)よりも大きなイオン半径のランタニド系元素(La、Nd、Sm、Gd)の酸化物を添加することによって、5mol%までの添加量ならば漏れ電流密度を大きくすることなく比誘電率を大きくすることができる。

【0038】

【実施例】つぎに図面を参照しながら本発明のキャパシタを説明する。

【0039】図1は本発明のキャパシタの一実施例を示す断面説明図である。図1において、2はシリコンウエハ基板などからなる半導体基板で、その表面に熱酸化法、CVD法、スパッタ法などにより設けられた酸化膜やチッ化膜などからなる絶縁膜2a上に下部電極3、誘電体膜4、上部電極5が順次成膜されてキャパシタが形成されている。本発明では、上部電極5の上にさらに誘電体膜4の酸素欠損を防止するための保護膜1が設けられている点に特徴がある。なお、図1に示された実施例および以下に説明する実施例においては、半導体基板表面に設けられた絶縁膜上にキャパシタが形成される例で示しているが、キャパシタの形成場所はこれらの例に限定されるものではなく、他のフィールド絶縁膜上や配線膜などの上に層間絶縁膜などを介して形成されてもよい。層間絶縁膜上にキャパシタが形成されるばあい、下部電極はプラグなどを介してトランジスタに接続される。

【0040】下部電極3および上部電極5は、たとえば白金、パラジウム、金などの材料を、たとえばスパッタ法、真空蒸着法などにより、通常、下部電極3は段差を小さくするため、薄い程好ましく、約50nm以下の厚さに、上部電極はとくに制限されないが通常は100nm程度の厚さに形成される。

【0041】また、誘電体膜4は比誘電率が100以上の高誘電率を有する材料が好ましく、たとえばSrTiO₃系、PZT(PbZrO₃-PbTiO₃固溶体)系、BaTiO₃系、PLZT系などの金属酸化物を主成分とするものが好んで用いられ、これらの材料をターゲットとしてRFマグネトロンスパッタ法、ゾルゲル法などで成膜されたり、CVD法、レーザアブレーション法などにより成膜される。誘電体膜4の厚さは薄い程キャパシタ容量が大きく好ましいが、その半面薄くなると漏れ電流が多くなるため、通常は50~100nmの厚さに形成される。

【0042】また、保護膜1はキャパシタを形成後の半導体記憶装置の製造プロセスで熱処理が行われても、誘電体膜4の中の酸素が抜けて誘電体膜4での漏れ電流が

増加しないように、酸素の抜けを防止するものである。この保護膜1の材料としては、たとえばつぎのようなものを使用できる。

(1) Ti、Al、W、Mo、Ta、Nb、V、Cr、ZrまたはGaなどの金属のチッ化物、たとえばTiN、AlN、WN、MoN、Ta₄N₅、NbN、VN、Cr₂N、ZrN、GaNなどが用いられる。これらのチッ化物を保護膜として使用することにより、チッ素雰囲気下での熱処理に対しても安定であるため、後工程でチッ素雰囲気下の熱処理があるばあいに優れている。

(2) Ti、Al、Ta、Nb、Zr、Re、MgまたはSrなどの金属の酸化物、たとえばTiO₂、Al₂O₃、Ta₂O₅、Nb₂O₅、ZrO₂、ReO₃、MgO、SrTiO₃などが用いられる。これらの酸化物は、酸化性雰囲気下や高真空中での熱処理などに耐えることができるため、後工程で酸素雰囲気下の熱処理があるばあいに優れている。

(3) Ti、W、Pt、Mo、Ta、Nb、V、Cr、ZrまたはCoなどの金属のシリケート、たとえばTiSi₂、WSi₂、PtSi₂、MoSi₂、TaSi₂、NbSi₂、VSi₂、CrSi₂、ZrSi₂などが用いられる。これらのシリケートは配線にポリシリコンを用いるときに、コンタクトが良好になるので優れている。

(4) Ti、W、Ta、Cu、Ge、NiまたはCrなどの金属膜が用いられる。このような金属膜を上部電極5上に設けることにより、真空中や還元雰囲気下での熱処理に耐えられる点で優れている。

【0043】保護膜1は前記各種材料からなる単層膜または(1)、(2)、(3)、(4)の各々の群内もしくは複数の群(たとえば、(1)のチッ化物と(2)の酸化物)間にわたって異なる材料により2層以上で積層されてもよい。このばあい各々の膜の利点を兼ね備えた誘電体膜がえられる。また、これらの誘電体膜を成膜するにはたとえばRFマグネトロンスパッタ法、CVD(Chemical Vapor Deposition)法、MBE(Molecular Beam Epitaxy)法、真空蒸着法、レーザアブレーション法などにより成膜することができ、その成膜法にはとくに制限されない。また、成膜の厚さは50nm以上あればとくに制限されないが、キャパシタ上での段差を抑えるため、300nm以下であることが好ましく、50~150nmであればさらに好ましい。

【0044】つぎに具体的実施例についてさらに詳細に説明する。

【0045】【実施例1】図1に示される構造で、約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウエハ基板2の上に下部電極3として100nmの厚さに白金をスパッタ法により成膜した。この基板の上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって、基板温度約600℃で約

100nmの厚さのSrTiO₃からなる誘電体膜4を成膜した。さらに、上部電極5として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成し、キャパシタをえた。本実施例ではこのキャパシタの上部電極5の上に保護膜1として、金属Tiをターゲットにして、チッ素雰囲気中でスパッタ法によりTiN膜を約70nmの厚さだけ形成した。本発明による保護膜を形成したばあいと、保護膜を形成しないばあいのキャパシタ特性の比較を表1に示した。保護膜のないキャパシタを、約800℃のチッ素雰囲気中で熱処理するとリーク電流は著しく増大し、キャパシタとして機能しないこと*

*がわかる。本実施例のキャパシタではこの熱処理による特性の劣化は認められない。また、表1に示された、WN、AlN、MoN、Ta₄N₅、ZrN、GaN、Cr₂Nからなる保護膜を用いても同様の効果がえられた。さらにNbN、VNについても同様の効果がえられる。なお、表1で測定不能とは $1 \times 10^{-3} \text{ A/cm}^2$ の測定装置の上限を超えていることを示している（以下においても同じ）。

【0046】

【表1】

表 1

	熱処理（約800℃、約30分、窒素中）後の特性	
	比誘電率	漏れ電流密度（at 2V） （A/cm ² ）
保護膜 TiN	235	7×10^{-9}
保護膜 WN	235	7×10^{-9}
保護膜 AlN	230	8×10^{-9}
保護膜 MoN	230	2×10^{-8}
保護膜 Ta ₄ N ₅	220	1×10^{-8}
保護膜 ZrN	220	2×10^{-8}
保護膜 GaN	225	3×10^{-8}
保護膜 Cr ₂ N	220	3×10^{-8}
保護膜 なし	測定不能	
熱処理前	220	2×10^{-8}

【実施例2】図1に示される構造で、約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ一基板2の上に下部電極3として約100nmの厚さに白金をスパッタ法により成膜した。この基板上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって約600℃で約85nmの厚さのSrTiO₃からなる誘電体膜4を成膜した。さらに、上部電極5として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成し、キャパシタをえた。本実施例ではこのキャパシタの上に保護膜として、Al₂O₃セラミックをターゲットとしたスパッタ法で約150nmのAl₂O₃からなる保護膜1を形成した。そののち約

00℃、チッ素雰囲気中で熱処理をし、その前後のキャパシタ特性を表2に示した。保護膜1のないキャパシタではこの熱処理後、キャパシタとして機能しない。一方、本実施例によるキャパシタは、この熱処理によるキャパシタ特性の劣化は認められなかった。表2に示された、TiO₂、ZrO₂、ReO₃、Ta₂O₅、Nb₂O₅、MgO、SrTiO₃についても同様な結果がえられた。酸化膜は一般に安定であるので、酸素雰囲気下や高真空中での熱処理などに耐えることができる利点を有している。

【0047】

【表2】

表 2

	熱処理（約800℃、約30分、 窒素中）後の特性	
	比誘電率	漏れ電流密度（at 2V） （A/cm ² ）
保護膜 Al ₂ O ₃	220	8×10^{-9}
保護膜 TiO ₂	220	9×10^{-9}
保護膜 ZrO ₂	220	9×10^{-9}
保護膜 ReO ₃	215	1×10^{-8}
保護膜 Ta ₂ O ₅	225	2×10^{-8}
保護膜 Nb ₂ O ₅	220	2×10^{-8}
保護膜 MgO	225	9×10^{-9}
保護膜 SrTiO ₃	225	8×10^{-9}
保護膜 なし	測定不能	
熱処理前	210	2×10^{-8}

【実施例3】図1に示される構造で、約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ基板2の上に下部電極3として約100nmの厚さに白金をスパッタ法により成膜した。この基板2上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって、基板温度約600℃で約100nmの誘電体膜4を成膜した。さらに、上部電極5として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成し、キャパシタをえた。本実施例ではこのキャパシタの上に、TiSi₂化合物ターゲットを用いて、アルゴンガスをスパッタガスとして約100nmのTiSi₂保護膜1を形成した。本発明による保護膜を形成

したばあいと、しないばあいのキャパシタ特性の比較を表3に示した。保護膜がないばあいには、キャパシタを約800℃、真空中で熱処理するとリーク電流が著しく増大した。一方、本実施例のキャパシタでは特性の劣化は認められなかった。また、表3に示されているPtSi₂、WSi₂、MoSi₂、ZrSi₂、TaSi₂、CrSi₂からなる保護膜を用いても同様の効果がえられた。なお、VSi₂、NbSi₂についても同様の効果がえられる。

【0048】

【表3】

表 3

	熱処理（約800℃、約30分、真空中）後の特性	
	比誘電率	漏れ電流密度（at 2V） （A/cm ² ）
保護膜 TiSi ₂	220	9×10^{-9}
保護膜 PtSi ₂	225	9×10^{-9}
保護膜 WSi ₂	220	1×10^{-8}
保護膜 MoSi ₂	220	1×10^{-8}
保護膜 ZrSi ₂	220	1×10^{-8}
保護膜 TaSi ₂	215	2×10^{-8}
保護膜 CrSi ₂	220	2×10^{-8}
保護膜 なし	測定不能	
熱処理前	220	2×10^{-8}

【実施例4】図1に示される構造で、約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ基板2の上に下部電極3として約100nmの厚さに白金をスパッタ法により成膜した。この基板上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって、基板温度約600℃で約100nmのSrTiO₃からなる誘電体膜4を成膜した。つぎに、上部電極5として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成し、キャパシタをえた。本実施例ではこのキャパシタの上に、さらに、金属Tiターゲットを用いて、アルゴンガスをスパッタガスとして約100nmのTi保護膜1を形成した。本実施例に

よる保護膜を形成したばあいと、しないばあいのキャパシタ特性の比較を表4に示した。保護膜がないばあいには、キャパシタを約800℃、真空中で熱処理するとリーク電流が著しく増大した。本実施例のキャパシタではこの熱処理による、特性の劣化は認められなかった。また、表4に示されているW、Ni-Cr、Ta、Geのほかに、Cu膜を保護膜として用いても同様の効果が見られた。なお、金属膜を保護膜として使用することにより真空中や還元雰囲気下での熱処理に耐えることができる利点がある。

【0049】

【表4】

表 4

	熱処理（約800℃、約30分、真空中）後の特性	
	比誘電率	漏れ電流密度（at 2V） （A/cm ² ）
保護膜 Ti	230	7×10^{-9}
保護膜 W	220	8×10^{-9}
保護膜 Ni-Cr	225	1×10^{-8}
保護膜 Ta	220	1×10^{-8}
保護膜 Ge	220	2×10^{-8}
保護膜 なし	測定不能	
熱処理前	220	2×10^{-8}

〔実施例5〕図2は本発明のキャパシタの第5の実施例の構造を示す概略断面説明図である。約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ基板2の上に下部電極3として約100nmの厚さに白金をスパッタ法により成膜した。この基板2上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって、約600℃で約100nmの誘電体膜4を成膜した。さらに、上部電極5として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成し、キャパシタをえた。本実施例では、上部電極の上 30
に、第1実施例と同様のTiN膜（約50nm）7aを成膜後、その上に第2実施例と同様のAl₂O₃膜（約50nm）6aを成膜し、積層構造の保護膜1を形成した。このキャパシタを約800℃、チッ素雰囲気中で熱処理をし、その前後のキャパシタ特性を表5に示した。保護膜のないキャパシタではこの熱処理後、キャパシタ

として機能しない。本実施例によるキャパシタは熱処理によるキャパシタ特性の劣化は認められなかった。表5に示されるTiSi₂、TiをTiN膜7a上に同じ厚さで成膜したばあいも、同様の結果がえられた。酸化性やチッ素雰囲気、または真空中の熱処理が1つの製造プロセス中にあるばあいには、保護膜を積層構造にすることがキャパシタ膜の劣化防止に有効である。保護膜の積層構造としては、実施例1～4に列挙された材料であれば、任意のいかなる2種類以上の材料の組み合わせでも可能であり、とくに制限はないが、キャパシタ膜に近いほうから、酸化膜、チッ化膜の順に積層されたものが好ましい。また、保護膜全体の膜厚は段差を小さくするため、150nm以下が望ましい。したがって、2層あるいは3層構造であることが好ましい。

【0050】

【表5】

表 5

	熱処理（約800℃、約30分、窒素中）後の特性	
	比誘電率	漏れ電流密度（at 2V） （A/cm ² ）
保護膜 Al ₂ O ₃ /TiN	235	7×10^{-9}
保護膜 TiSi ₂ /TiN	235	9×10^{-9}
保護膜 Ti/TiN	230	8×10^{-9}
保護膜 なし	測定不能	
熱処理前	220	2×10^{-8}

【実施例6】図3は本発明のキャパシタの第6の実施例の構造の概略断面説明図である。約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ基板2の上に下部電極3として約100nmの白金をスパッタ法により成膜した。この基板上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって、約600℃で約100nmのSrTiO₃誘電体膜4を成膜した。さらに、上部電極5として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成しキャパシタをえた。本実施例では保護膜1として、第2実施例と同様のSiO₂膜（50nm）7bを成膜後、その上に第1実施例と同様のTiN膜（50nm）6bを成膜し積層構造の保護膜1を形成した。ついで、RIE（Reactive Ion Etching）法により、保護膜1に開孔径約5μmの孔を開けた。そののち、開孔部10にスパッタ法によりアルミニウム11を埋め込んで上部電極5と電氣的接続された電極配線11を形成した。本実施例では保護膜1の材料の種類にかかわらず、キャパシタの上部電極5との良好な電氣的接続をとることができる。

【0051】本実施例では、電極配線の材料としてアルミニウム以外に、ポリシリコンやタングステン、チタン、クロム、コバルトやそれらのケイ素化合物やチッ

物、またはアルミニウム合金や銅合金などであってもよい。電極配線の形成法はとくに制限されず、スパッタ法以外に、CVD法、MBE法、蒸着法、レーザアブレーション法などで形成することができる。

【0052】【実施例7】図4は本発明のキャパシタの第7の実施例の構造の概略断面説明図である。約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ基板2の上に下部電極3として約100nmの白金をスパッタ法により成膜した。この基板上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって、基板温度約600℃で約100nmのSrTiO₃膜4aを成膜した。つぎに、アルミニウムチッ化物からなるセラミックターゲットを用いて、ArとN₂の混合ガスにして、50nmのアルミニウムチッ化膜4bを形成し、積層構造の誘電体膜4をえた。さらに、上部電極5として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成し、キャパシタをえた。約800℃、チッ素雰囲気中で熱処理をし、その前後のキャパシタ特性を表6に示した。本実施例によるキャパシタではこの熱処理によるキャパシタ特性の劣化は認められなかった。

【0053】

【表6】

表 6

	熱処理（約800℃、約30分、窒素中）後の特性	
	比誘電率	漏れ電流密度（at 2V） （A/cm ² ）
AlN/SrTiO ₃	25	1×10^{-8}
熱処理前	22	4×10^{-8}

〔実施例8〕図5は本発明のキャパシタの第8の実施例の構造の概略断面説明図である。約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ基板2の上に下部電極3として約100nmの白金をスパッタ法により成膜した。この基板の上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって約600℃で約70nmの厚さにSrTiO₃膜4aを成膜した。その上に（Ba_{0.7}Sr_{0.3}）TiO₃組成のセラミックターゲットを用いて、約70nmの厚さに（Ba, Sr）TiO₃膜4cを成膜し、誘電体膜4を形成した。さらに、上部電極5として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成し、キャパシタをえた。比較例として膜厚約150nmの（Ba, Sr）TiO₃膜4cのみからなるキャパシタおよびSrTiO₃膜4aのみからなるキャパシタを同様な方法で形成し、室温での特性を表7に示した。ヒートステージ付きのプローバを用いて、比誘電率の温度変*

表

*化を測定した。その結果を、図6に示した。本実施例では、誘電率が大きく、漏れ電流の若干大きな（Ba, Sr）TiO₃膜と誘電率は比較的小さいが漏れ電流の小さいSrTiO₃膜とが積層されたことによって、誘電率が大きくかつ漏れ電流の小さい優れたキャパシタをえた。図6により、誘電率の温度変化の少ないキャパシタでもあることは明らかである。この例の他にも誘電率は大きい漏れ電流が大きいものと、逆に誘電率はそれほど小さくなくても漏れ電流が小さいものとを積層すれば各々の長所が生かされたキャパシタがえられる。たとえば、誘電率の大きいPZT膜と誘電率では劣るが漏れ電流特性に優れるSrTiO₃膜との組み合わせであってもよい。以上、本実施例では誘電体膜を積層することによって、単一構造の膜から成るキャパシタに比べ優れた特性のキャパシタをうることができる。

【0054】

【表7】

7

	室温での特性	
	比誘電率	漏れ電流密度（at 2V） （A/cm ² ）
本実施例	280	6×10^{-9}
（Ba, Sr）TiO ₃	410	1×10^{-8}
SrTiO ₃	205	5×10^{-9}

〔実施例9〕図7は本発明のキャパシタの第9の実施例の構造の概略断面図である。約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ基板2の上に下部電極3として約100nmの白金をスパッタ法により成膜した。この基板の上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によ

50

て約600℃で約70nmの誘電体膜4を成膜した。成膜終了後直ちに、酸素ガスを導入し、基板をそれぞれ、毎分40℃、25℃、15℃および5℃の速度で150℃まで冷却したのちに大気中に取り出し、そののち上部電極5を設けた。表8に各冷却速度に対するキャパシタ特性を示した。その結果、15℃/分以下の速度で冷却

すると漏れ電流の規制値である $6 \times 10^{-8} \text{ A/cm}^2$ を下回り、良好なキャパシタがえられた。

表 8

冷却速度 (°C/分)	比誘電率	漏れ電流密度 (at 2 V) (A/cm ²)
40	195	1×10^{-7}
25	205	7×10^{-8}
15	210	3×10^{-8}
5	220	1×10^{-8}

〔実施例10〕図7に示される構造で、約300nmの熱酸化膜からなる絶縁膜2aが形成されたシリコンウェハ基板2の上に下部電極3として約100nmの白金をスパッタ法により成膜した。この基板2上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって、約600°Cの基板温度で約70nmのSrTiO₃からなる誘電体膜4を成膜した。さらに、上部電極5として約70nmの膜厚の白金を下部電極と同じくスパッタ法で形成しキャパシタをえた。これを約

※700°C、酸素雰囲気中で約30分間保持した。そのときのキャパシタ特性を表9に示した。上部電極5を形成していない状態で同様な熱処理を行ったのちに、上部電極を形成したばあいにはキャパシタ特性の劣化が起こっている。上部電極5の膜厚は50nm以上であれば十分に制限はない。本発明の製法ではキャパシタ特性の向上が認められる。

【0056】

【表9】

表 9

	熱処理 (約700°C、約30分、酸素中) 後の特性	
	比誘電率	漏れ電流密度 (at 2 V) (A/cm ²)
上部電極あり	215	8×10^{-9}
上部電極なし	測定不能	
熱処理前	205	1×10^{-8}

〔実施例11〕約300nmの熱酸化膜からなる絶縁膜が形成されたシリコンウェハ基板の上に下部電極として約100nmの厚さで白金をスパッタ法により成膜した。この基板の上にSrTiO₃セラミックターゲットを用いてRFマグネトロンスパッタ法によって、約600°Cで約70nmの誘電体膜を成膜した。さらに、上部電極として白金を下部電極と同じくスパッタ法で約100nmの厚さに形成しキャパシタをえた。これを、酸素HIP (Hot Isostatic Pressing) 装置内に入れ、酸素分圧が100気圧および10気圧になるよう酸素混合比を変えて、約600°Cで約15分間保持した。本発明による熱処理を行ったキャパシタ

の特性を表10に示した。同様のキャパシタを酸素分圧1気圧、0.3気圧および0.1気圧の真空装置内で熱処理したばあいのキャパシタ特性も示してある。本発明では表10より明らかなように1気圧以上の酸素分圧下で熱処理することによって、キャパシタ膜のリーク電流を成膜時の値よりも低減させることができる。熱処理温度は450°C以上であれば良いが、800°C以上であると特性の向上は期待できなくなる。500~700°Cの範囲であることが望ましい。

【0057】

【表10】

表 1 0

酸素分圧 (気圧)	比誘電率	漏れ電流密度 (at 2 V) (A/cm ²)
1 0 0	2 1 0	7×10^{-9}
1 0	2 1 0	7×10^{-9}
1	2 1 0	8×10^{-9}
0. 3	2 1 0	7×10^{-8}
0. 1	2 0 5	1×10^{-7}
熱 処 理 前	2 0 5	1×10^{-8}

〔実施例 12〕 約 300 nm の熱酸化膜からなる絶縁膜が形成されたシリコンウェハ基板の上に下部電極として約 100 nm の厚さの白金をスパッタ法により成膜した。この基板上に SrTiO₃ セラミックターゲットを用いて RF マグネトロンスパッタ法によって、基板温度約 600℃ で約 5 分間、誘電体膜を成膜した。そののち大気中に曝すことなく、約 200 Torr の酸素圧力下で約 10 分間酸化雰囲気中アニールを行った。この成膜工程とアニール工程の操作を、それぞれ 12 回繰り返すばあいと、2 回繰り返すばあいの両方を行った。誘電体膜の膜厚はそれぞれ合計で約 100 nm にした。ついで、それぞれに上部電極として白金を約 100 nm の厚*30

*31 形成して、キャパシタをえた。本実施例でえられた、
20 キャパシタのキャパシタ特性を表 11 に示した。比較例として、基板温度約 600℃ で約 60 分間成膜したばあいのキャパシタの特性も表 11 に示す。本実施例においては、リーク電流が低減されていることが明らかである。本発明の効果は、成膜工程と熱処理工程とが最低 2 回以上であれば良いが、キャパシタ成膜工程のスループットを低下させないためには 30 回以下が望ましい。さらには、10~20 回が最も好ましい。1 回に成膜される厚さには制限はないが、通常は 5~10 nm である。

【0058】

【表 11】

表 1 1

工 程	比誘電率	漏れ電流密度 (at 2 V) (A/cm ²)
本実施例：(成膜 + アニール) × 12 回	2 3 0	8×10^{-9}
本実施例：(成膜 + アニール) × 2 回	2 2 0	8×10^{-9}
比較例：成膜 60 分	2 2 0	2×10^{-8}

〔実施例 13〕 図 8 は本発明による誘電体膜の製造装置の一実施例の概略断面図である。14 はステンレスからなる真空室である。15 は誘電体膜を成膜するための機構を備えた領域であり、16 は酸化性雰囲気下で熱処理を行える機構を備えた領域である。図 8 において、17 は基板、18 はスパッタターゲット、19 は基板加熱のためのヒータをそれぞれ示している。20 は酸化性ガス導入のためのノズルである。21 は基板回転のための機

構である。基板 17 はまず、誘電体膜成膜領域 15 で成膜されたのち、直ちに、基板回転機構 21 により熱処理領域 16 へ回転され、熱処理される。この一連の成膜工程と酸化性雰囲気下での熱処理工程とを所定の回数だけ行うことができる。成膜条件と熱処理条件は制御装置(図には示されていない)によって温度、時間、ガス分圧、ガス組成が所定の条件になるようにコントロールされる。本実施例では成膜機構としてスパッタ装置が用い

られているが、CVD装置にするばあいは図9に示すように、成膜領域に原料ガスノズル30を設けて原料ガス供給系29から原料ガスを供給することにより同様にできる。またMBE装置を用いるばあいは図10に示すように、基板表面に金属蒸発源31とシャッタ32を設け、通常のMBE法により成膜することにより、同様にできる。さらにレーザアブレーションのばあいは図11に示すように、レーザ光源33からのレーザ光をスリット34を経てレンズ35で集光し、ターゲット回転機構36でターゲット18を回転させながらスパッタさせることにより、本実施例と同様の効果がえられることは明らかである。

【0059】【実施例14】図12は本発明による誘電体膜の製造装置の他の実施例の概略断面図である。22はステンレスからなる真空室である。23は誘電体膜を成膜するための機構を備えた領域である。24は高温熱処理機構を備えた領域である。図12において、17は基板、18はスパッタターゲット、19は基板加熱のためのヒータをそれぞれ示している。21は基板回転のための機構である。基板17はまず、成膜領域23で成膜されたのち、直ちに、回転機構21により高温熱処理領域24へ回転される。高温熱処理領域24は油圧駆動25によって基板支持機構に密着される。酸化性ガスは圧縮器26によって加圧され、ガスノズルをとおして加圧室へ供給される。こうして誘電体膜は常圧以上の圧力下で熱処理される。成膜条件と熱処理条件は制御装置(図には示されていない)によって温度、時間、ガス分圧、ガス組成が所定の条件になるようにコントロールされる。本実施例では成膜機構としてスパッタ法が用いられているが、実施例13と同様に成膜機構としてはCVD、MBE、レーザアブレーションであっても、本実施例と同様な効果がえられることは明らかである。

【0060】【実施例15】キャパシタの誘電体膜をRFマグネトロンスパッタ法により作製するため、 $(\text{Ba}_{1-x}\text{Sr}_x)\text{TiO}_3$ 、 $0 \leq x \leq 1$ なる組成式で表される組成物のうち、 $x=0.75$ で Mn_2O_3 が1.5wt%なる組成を有するスパッタリング用ターゲットを作製した。作製法は、原料としてそれぞれ純度99.9%の炭酸バリウム(BaCO_3)、炭酸ストロンチウム(SrCO_3)、酸化チタン(TiO_2)、三酸化ニマンガン(Mn_2O_3)の粉体を用い、所望の組成となるようにジ

ルコニアボールを用いたアルコール湿式ボールミル混合を12時間実施した。取り出し、乾燥を行ったのち、約0.5トン/cm²の圧力でプレス成形したのち、大気中、約1200℃で約2時間仮焼反応を行った。この反応生成物をらいかい機で約1時間粗粉碎したのち、上記混合時と同様にボールミルで約20時間湿式粉碎を行った。取り出して、乾燥したのち、焼結後約4インチの直径の円盤状になるように約0.5トン/cm²でプレス成形を行い、約1350℃で約3時間、酸素雰囲気中で焼結を行った。焼結体を約5mmの厚さに研削加工しターゲットとした。

【0061】作製した前記ターゲットを用いて、スパッタ膜を下記の条件で作製した。基板として、3インチシリコンウエハ基板上に200nmの厚さでPt下部電極をスパッタ法により作製したものを使用した。前記組成物のキャパシタの誘電体膜は、雰囲気 O_2 50%、Ar50%、圧力約30mTorr、基板温度約600℃、スパッタ電力約200W、スパッタ時間約15分で膜厚80nmのキャパシタの誘電体膜を作製した。電気特性の評価のため、キャパシタの誘電体膜の上部に直径1mm、または0.5mmのPt上部電極をスパッタ法により作製した。

【0062】 Mn_2O_3 の添加含量が、0.03wt%、0.05wt%、3.00wt%、5.00wt%、5.50wt%のばあいも上記、作製法と同様な条件で電気特性評価用試料を作製した。このときの膜厚は、すべて79から81nmのあいだであった。

【0063】また比較のため、従来の Mn_2O_3 を添加しないキャパシタの誘電体膜の評価用試料を前記と同様に作製した。膜厚は約82nmであった。

【0064】表12に試作したこれらキャパシタの誘電体膜の室温における酸化シリコン換算膜厚と漏れ電流密度(2V印加のとき)の測定結果を示す。

【0065】なお、スパッタ用ターゲットとして、仮焼反応および粉碎を行った焼結前の粉体の状態で、銅などの金属性の皿の上に圧粉成形してターゲットとする方法でも、スパッタ成膜速度は緻密焼結体ターゲットに比較して小さいものの、スパッタ時間をより多くとることで同様なキャパシタの誘電体膜がえられる。

【0066】

【表12】

表 1 2

Mn ₂ O ₃ 添加量 (wt %)		酸化シリコン換算膜厚 (nm)	漏れ電流密度 (at 2 V) (A/cm ²)
比較例 1	0	0.72	9×10^{-8}
比較例 2	0.03	0.71	8×10^{-8}
試料 1	0.05	0.70	3×10^{-8}
試料 2	1.50	0.71	2×10^{-9}
試料 3	3.00	0.71	1×10^{-8}
試料 4	5.00	0.72	6×10^{-8}
比較例 3	5.50	0.73	5×10^{-7}

表12に示すように、Mn₂O₃を0.05から5.00 wt %添加含有せしめたキャパシタの誘電体膜は漏れ電流密度がDRAMのリフレッシュタイムからの実用上の要求である、室温で 6×10^{-8} A/cm²以下に低減されることが判明した。

【0067】なおMn₂O₃の含有量が0.05 wt %未満かまたは5.00 wt %を越えると含有しないときに比べてほとんど改善されないか、むしろ漏れ電流密度が増加する。

【0068】また、ここには $x=0.75$ のばあいを示したが、 $0 \leq x \leq 1$ のどの x の値にたいしても、同様のMn₂O₃の添加含有効果があることが確かめられた。

【0069】【実施例16】Pb(Zr_{1-y}Ti_y)O₃、 $0 \leq y \leq 1$ なる組成で表される組成のうち、 $y=0.48$ で、Mn₂O₃を1.5 wt %添加含有せしめた組成を有するスパッタリング用ターゲットを作製した。ターゲット作製のための原料としては、純度99.9%の酸化鉛(PbO)、酸化ジルコニウム(ZrO₂)、酸化チタン(TiO₂)、三酸化ニマンガン(Mn₂O₃)の粉体を使用した。このとき、スパッタ中再蒸発の激しい元素である鉛の組成は化学量論比より20%増

量し、膜の組成が化学量論比になるようにした。

【0070】ターゲット作製条件としては、仮焼反応温度を約950℃、焼結温度を約1250℃とした以外は実施例15と同じ条件でターゲット作製を行った。

【0071】前記ターゲットを用いて、実施例15と同様の基板と条件でキャパシタの誘電体膜を作製した。膜厚は、このとき約120 nmであった。

【0072】Mn₂O₃の添加含量が0.03 wt %、0.05 wt %、3.00 wt %、5.00 wt %、5.50 wt %のばあいも前記作製法と同様の条件で電気特性評価用試料を作製した。このときの膜厚は、すべて118から122 nmのあいだであった。

【0073】また比較のため、従来のMn₂O₃を添加しないキャパシタの誘電体膜の評価用試料を前記と同様に作製した。膜厚は約135 nmであった。

【0074】作製されたこれらキャパシタ膜の室温における酸化シリコン換算膜厚と漏れ電流密度(2 V印加のとき)の測定結果を表13に示す。

【0075】

【表13】

表 1 3

Mn ₂ O ₃ 添加量 (wt%)		酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1	0	0.49	2×10^{-7}
比較例 2	0.03	0.48	1×10^{-7}
試 料 1	0.05	0.48	3×10^{-8}
試 料 2	1.50	0.49	8×10^{-9}
試 料 3	3.00	0.50	1×10^{-8}
試 料 4	5.00	0.51	6×10^{-8}
比較例 3	5.50	0.52	5×10^{-7}

表13に示すように、Mn₂O₃を0.05wt%から5.00wt%添加含有せしめたキャパシタの誘電体膜は漏れ電流密度がDRAMのリフレッシュタイムからの実用上の要求である、室温で 6×10^{-8} A/cm²以下に低減されることが判明した。

【0076】なおMn₂O₃の含有量が0.05wt%未満かあるいは5.00wt%を越えると含有しないときに比べてほとんど改善されないか、むしろ漏れ電流密度が増加する。

【0077】また、ここでは $y=0.48$ のばあいを示したが、 $0 \leq y \leq 1$ のどの y の値に対しても、同様のM

n₂O₃の添加含有効果があることが確かめられた。

【0078】【実施例17】鉛の2から15mol%をSrで置換したばあいについても、スパッタ用ターゲットのSr元素の原料として炭酸ストロンチウム(SrCO₃)の粉体を使用し、実施例16に記載されたものと同様な条件で実施した。表14、表15、表16に、それぞれ2mol%、10mol%、15mol%の鉛をSrで置換したときの結果を示す。

30 【0079】

【表14】

表 1 4

Mn ₂ O ₃ 添加量 (wt%)	酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1 0	0. 4 7	3 × 1 0 ⁻⁷
比較例 2 0. 0 3	0. 4 6	2 × 1 0 ⁻⁷
試 料 1 0. 0 5	0. 4 6	4 × 1 0 ⁻⁸
試 料 2 1. 5 0	0. 4 4	1 × 1 0 ⁻⁸
試 料 3 3. 0 0	0. 4 8	2 × 1 0 ⁻⁸
試 料 4 5. 0 0	0. 4 6	6 × 1 0 ⁻⁸
比較例 3 5. 5 0	0. 5 0	8 × 1 0 ⁻⁷

【0080】

* * 【表15】

表 1 5

Mn ₂ O ₃ 添加量 (wt%)	酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1 0	0. 4 1	4 × 1 0 ⁻⁶
比較例 2 0. 0 3	0. 4 1	6 × 1 0 ⁻⁷
試 料 1 0. 0 5	0. 4 2	3 × 1 0 ⁻⁸
試 料 2 1. 5 0	0. 4 3	1 × 1 0 ⁻⁸
試 料 3 3. 0 0	0. 4 3	1 × 1 0 ⁻⁸
試 料 4 5. 0 0	0. 4 4	6 × 1 0 ⁻⁸
比較例 3 5. 5 0	0. 4 4	7 × 1 0 ⁻⁷

【0081】

【表16】

表 1 6

Mn ₂ O ₃ 添加量 (wt %)		酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1	0	0.42	9×10^{-7}
比較例 2	0.03	0.40	1×10^{-7}
試料 1	0.05	0.41	5×10^{-8}
試料 2	1.50	0.42	3×10^{-8}
試料 3	3.00	0.42	5×10^{-8}
試料 4	5.00	0.41	6×10^{-8}
比較例 3	5.50	0.42	1×10^{-6}

表14、15、16に示すようにMn₂O₃を0.05wt %から5.00wt %添加含有せしめたキャパシタ膜は漏れ電流密度が低減されることが判明した。

【0082】なおMn₂O₃の含有量が0.05wt %未満かあるいは、5.00wt %を越えると含有しないときに比べてほとんど改善されないか、むしろ漏れ電流密度が増加する。また鉛をSr元素で置換することによって比誘電率が増加し、酸化シリコン換算膜厚が減少するが、漏れ電流密度は増加する傾向にあり、Mn元素の添加により漏れ電流密度を低減することにより有用性を増すことができる。

【0083】ここでSr元素の置換量を2mol %未満では比誘電率の向上の程度が少ないこと、また15mol %を越えるばあいは漏れ電流密度が大きくなり、実用的な長所を失う。

【0084】また、ここには $y=0.48$ でPbに対するSrの置換量を2mol %、10mol %、15mol %のばあい示したが、 $0 \leq y \leq 1$ のどのyの値にたいしても、また同時にSrの2mol %から15mol %のどの値についても同様のMn₂O₃添加含有効果があることが確かめられた。

【0085】【実施例18】(Sr_{1-z}Ca_z)₂Ti₂O₇、 $0.40 \leq z \leq 0.80$ で表される組成のうち、 $z=0.50$ なる組成を有するスパッタリング用ターゲットを作製した。作製法は、原料としてそれぞれ純度99.9%の炭酸ストロンチウム(SrCO₃)、炭酸カルシウム(CaCO₃)、酸化チタン(TiO₂)の粉体を用い、所望の組成となるようにジルコニアボールを用いたアルコール湿式ボールミル混合を15時間実施し

た。取り出し、乾燥を行なったのち、約0.4トン/cm²の圧力でプレス成形したのち、大気中、約1150℃で3時間仮焼反応を行った。この反応生成物をらいい機で約1時間半粗粉碎したのち、上記混合時と同様にボールミルで約20時間湿式粉碎を行った。取り出し、乾燥したのち、焼結後約4インチの直径の円盤状になるように約0.7トン/cm²でプレス成形を行い、約1550℃で約4時間、酸素雰囲気中で焼結を行った。焼結体を約5mmの厚さに研削加工しターゲットとした。

【0086】作製した前記ターゲットを用いて、スパッタ膜を下記の条件で作製した。基板として、3インチシリコンウエハ基板上に約200nmの厚さでPt下部電極をスパッタ法により作製したものを使用した。前記組成物のキャパシタ膜は、雰囲気気をO₂50%、Ar50%、圧力約30mTorr、基板温度約600℃、スパッタ電力約200W、スパッタ時間約15分間で膜厚約40nmのキャパシタの誘電体膜を作製した。電気特性の評価のため、キャパシタ膜の上部に直径約1mm、または約0.5mmのPtからなる上部電極をスパッタ法により作製した。 $z=0.35, 0.40, 0.45, 0.55, 0.60, 0.65, 0.70, 0.75, 0.80, 0.85$ のばあいについても同様にして電気特性測定用サンプルを作製した。膜厚は、すべて39から41nmのあいだであった。

【0087】表17に試作したこれらキャパシタの誘電体膜の室温における酸化シリコン換算膜厚と漏れ電流密度(2V印加のとき)の測定結果を示す。

【0088】

【表17】

表 1 7

z の 値		酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1	0.35	1.58	1×10^{-8}
試 料 1	0.40	1.01	7×10^{-9}
試 料 2	0.45	0.78	6×10^{-9}
試 料 3	0.50	0.72	6×10^{-9}
試 料 4	0.55	0.72	5×10^{-9}
試 料 5	0.60	0.76	5×10^{-9}
試 料 6	0.65	0.80	4×10^{-9}
試 料 7	0.70	0.89	2×10^{-9}
試 料 8	0.75	1.27	1×10^{-9}
試 料 9	0.80	1.48	1×10^{-9}
比較例 2	0.85	2.00	2×10^{-8}

表17に示すように、 $0.40 \leq z \leq 0.80$ のときに比誘電率が大きく、高い絶縁性を示し、それぞれシリコン酸化膜換算膜厚、および漏れ電流密度をDRAMのリフレッシュタイムからの実用上の要求である、換算膜厚が1.5nm以下で、室温で 6×10^{-8} A/cm²以下に低減できる。

【0089】本実施例によれば、DRAMの高密度化が進むにしたがって形態的理由からも、キャパシタの誘電体膜も、より薄くしなければならないという要求に応えられる。すなわち、材質的に絶縁性に優れているため、膜厚を薄くしても（このとき、当然酸化シリコン換算膜厚は小さくなる）漏れ電流密度が小さい状態を実現できる。

30 【0090】【実施例19】La、Nb、Sm、Gdの各添加物元素のスパッタターゲット用原料としては、純度99.9%のLa₂O₃、Nb₂O₃、Sm₂O₃、Gd₂O₃の粉体を使用した。ターゲットの作製条件および成膜時のスパッタリング条件は実施例17とほぼ同様の条件で行った。ここで、実施例18の(Sr_{1-x}Ca_x)₂Ti₂O₇のz=0.50のばあいにおける、La₂O₃、Nb₂O₃、Sm₂O₃、Gd₂O₃の添加効果についてそれぞれ表18、表19、表20、表21に電気的特性を示す。なおこのときの、膜厚は約41nmであった。

40 【0091】

【表18】

表 1 8

La ₂ O ₃ 添加量 (mol%)		酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1	0	0.72	6×10^{-9}
比較例 2	0.03	0.71	8×10^{-9}
試料 1	0.05	0.68	9×10^{-9}
試料 2	1.50	0.56	1×10^{-8}
試料 3	3.00	0.49	4×10^{-8}
試料 4	5.00	0.46	6×10^{-8}
比較例 3	5.50	0.45	1×10^{-6}

[0092]

* * [表19]

表 1 9

Nd ₂ O ₃ 添加量 (mol%)		酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1	0	0.72	6×10^{-9}
比較例 2	0.03	0.71	9×10^{-9}
試料 1	0.05	0.69	1×10^{-8}
試料 2	1.50	0.57	2×10^{-8}
試料 3	3.00	0.50	2×10^{-8}
試料 4	5.00	0.47	6×10^{-8}
比較例 3	5.50	0.46	1×10^{-6}

[0093]

[表20]

表 2 0

Sm ₂ O ₃ 添加量 (mol%)	酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1 0	0.72	5 × 10 ⁻⁹
比較例 2 0.03	0.72	8 × 10 ⁻⁹
試料 1 0.05	0.69	2 × 10 ⁻⁸
試料 2 1.50	0.58	2 × 10 ⁻⁸
試料 3 3.00	0.51	4 × 10 ⁻⁸
試料 4 5.00	0.46	6 × 10 ⁻⁸
比較例 3 5.50	0.44	1 × 10 ⁻⁶

【0094】

* * 【表21】

表 2 1

Gd ₂ O ₃ 添加量 (mol%)	酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm ²)
比較例 1 0	0.72	5 × 10 ⁻⁹
比較例 2 0.03	0.72	6 × 10 ⁻⁹
試料 1 0.05	0.70	1 × 10 ⁻⁸
試料 2 1.50	0.57	2 × 10 ⁻⁸
試料 3 3.00	0.49	3 × 10 ⁻⁸
試料 4 5.00	0.46	6 × 10 ⁻⁸
比較例 3 5.50	0.45	3 × 10 ⁻⁶

表18、表19、表20、表21に示すように、添加物としてLa₂O₃、Nb₂O₅、Sm₂O₃、Gd₂O₃を加えることにより、酸化シリコン換算膜厚の一層の低減（比誘電率の向上による）を達成することができる。すなわち、絶縁性の優れた材質にさらに添加物を加えることによって、誘電率を増加させることができ、複合的効果がえられる。このばあい0.05mol%未満では、あま

り、酸化シリコン換算膜厚の改善がみられず、5.00mol%を越える添加量では漏れ電流密度が増加するため、キャパシタの誘電体膜としての長所がえられない。

【0095】【実施例20】実施例19に記載されているのと同様の方法でスパッタ法によりキャパシタの誘電体膜を作製した。なお、このときの膜厚は、約41nmであった。（Sr_{1-x}Ca_x）₂Ti₂O₇においてz=

0.50で、これに La_2O_3 が3mol%、および5mol%含有された組成物（それぞれ表18の試料3、試料4の材料に相当する）に対して、 Mn_2O_3 を添加含有せしめたキャパシタの誘電体膜の電気特性の結果をそれぞれ*

*それぞれ、表22、表23に示す。

【0096】

【表22】

表 2 2

Mn_2O_3 添加量 (wt%)		酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm^2)
比較例 1	0	0.49	4×10^{-8}
比較例 2	0.03	0.49	4×10^{-8}
試料 1	0.05	0.49	2×10^{-8}
試料 2	1.50	0.50	5×10^{-9}
試料 3	3.00	0.51	9×10^{-9}
試料 4	5.00	0.51	2×10^{-8}
比較例 3	5.50	0.51	5×10^{-7}

【0097】

※ ※ 【表23】

表 2 3

Mn_2O_3 添加量 (wt%)		酸化シリコン換算膜厚 (nm)	漏れ電流密度 (A/cm^2)
比較例 1	0	0.46	6×10^{-8}
比較例 2	0.03	0.46	6×10^{-8}
試料 1	0.05	0.46	4×10^{-8}
試料 2	1.50	0.47	7×10^{-9}
試料 3	3.00	0.47	3×10^{-8}
試料 4	5.00	0.47	5×10^{-8}
比較例 3	5.50	0.49	1×10^{-6}

表22、表23に示すように、 Mn_2O_3 の添加含有により、著しく漏れ電流密度が改善される。ここで、 Mn_2O_3 の添加量が0.05wt%未満のばあいには、漏れ電

流密度の低減に十分な効果が見られない。また、 Mn_2O_3 の添加量が5.00wt%を越えるとむしろ漏れ電流密度が大きく増加する。

【0098】

【発明の効果】以上のように、本発明によれば、上部電極膜の上に形成された保護膜によって、プロセス中の高誘電率誘電体膜の酸素欠損を抑制し、キャパシタ特性の劣化を防止できる。そのため、小さい面積で高特性のキャパシタがえられ、半導体記憶装置などの一層の高集積化を図れる。

【0099】また、成膜工程停止後、酸化雰囲気中での徐冷または、成膜後の高圧酸化雰囲気下での熱処理、または上部電極形成後の熱処理によって欠損した酸素を補うことができ、良好なキャパシタ特性を有する誘電体膜をうることができる。

【0100】さらに、成膜工程と熱処理工程とを1つの真空室内で連続的かつ複数回繰り返すことで酸素欠損の少ない良好なキャパシタ特性を有する誘電体膜をうることができる。

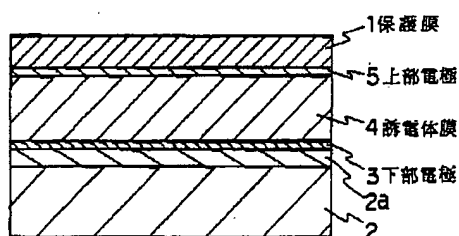
【0101】 SrTiO_3 系、 PZT 系、 $(\text{Sr}, \text{Ca})\text{Ti}_2\text{O}_7$ 系の誘電体材料に微量の Mn 元素を添加することで漏れ電流を低減させることができる。 $(\text{Sr}, \text{Ca})\text{Ti}_2\text{O}_7$ 系の誘電体材料に微量のランタン系元素を含有させることにより漏れ電流を低減させることができる。

【図面の簡単な説明】

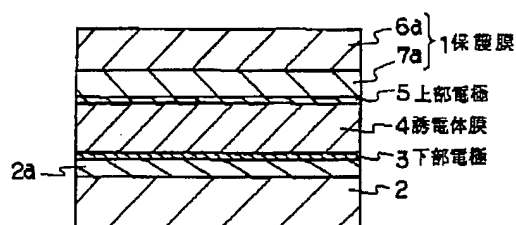
【図1】本発明のキャパシタの一実施例の構造の断面説明図である。

【図2】実施例5のキャパシタ構造の断面説明図であ

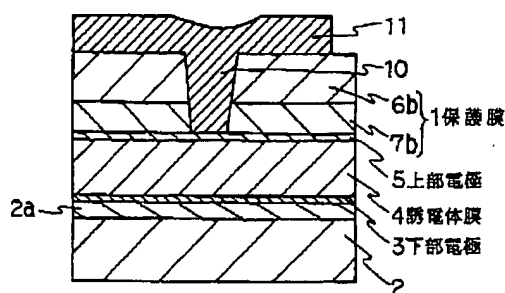
【図1】



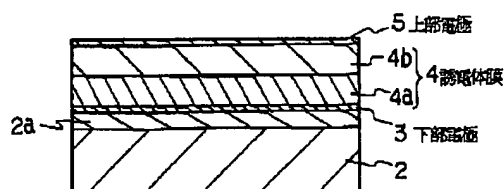
【図2】



【図3】



【図4】



る。

【図3】実施例6のキャパシタ構造の断面説明図である。

【図4】実施例7のキャパシタ構造の断面説明図である。

【図5】実施例8のキャパシタ構造の断面説明図である。

【図6】実施例8の誘電体膜の比誘電率の温度変化を示す図である。

【図7】実施例9のキャパシタ構造の断面説明図である。

【図8】実施例13の誘電体膜の成膜装置の断面説明図である。

【図9】実施例13の誘電体膜の成膜装置の他の例の断面説明図である。

【図10】実施例13の誘電体膜の成膜装置のさらに他の例の断面説明図である。

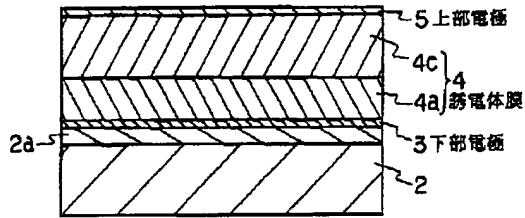
【図11】実施例13の誘電体膜の成膜装置のさらに他の例の断面説明図である。

【図12】実施例14の誘電体膜の成膜装置の断面説明図である。

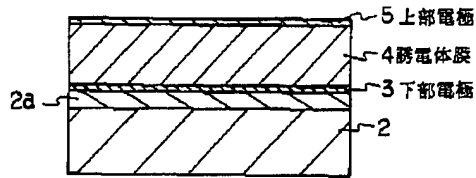
【符号の説明】

- 1 保護膜
- 3 下部電極
- 4 誘電体膜
- 5 上部電極

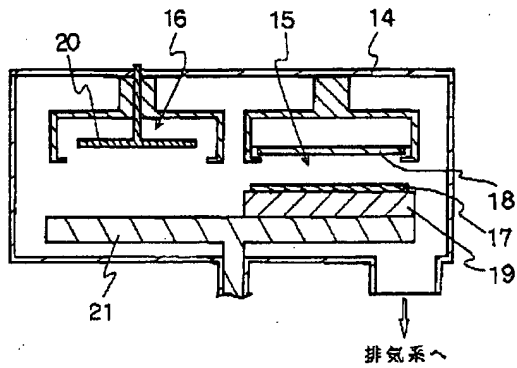
【図5】



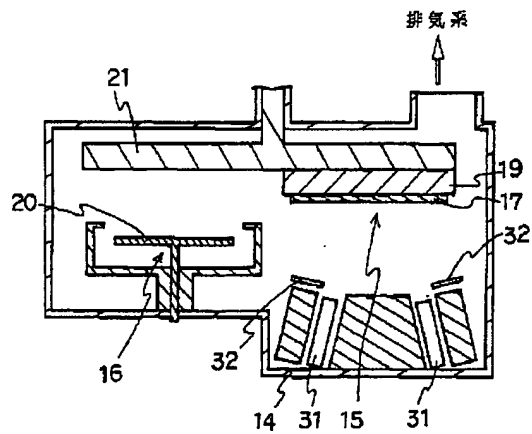
【図7】



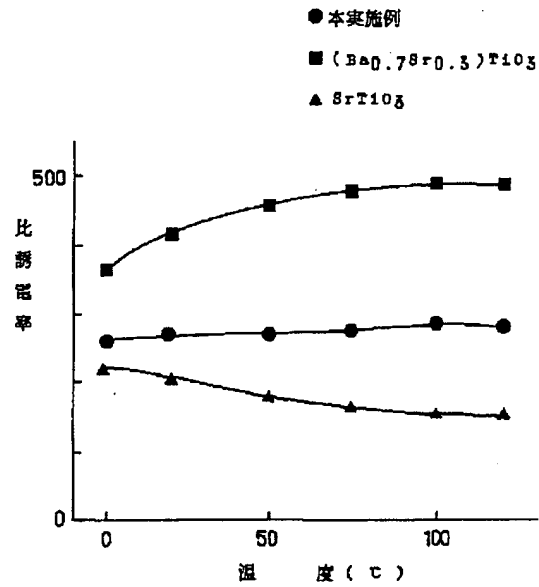
【図8】



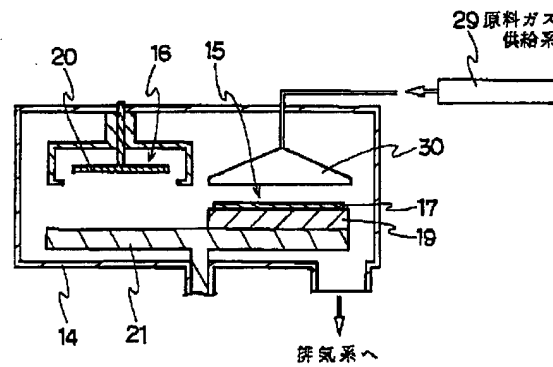
【図10】



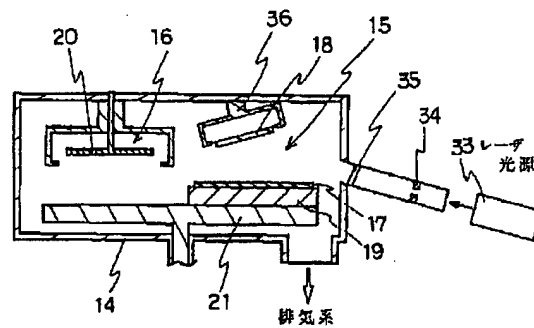
【図6】



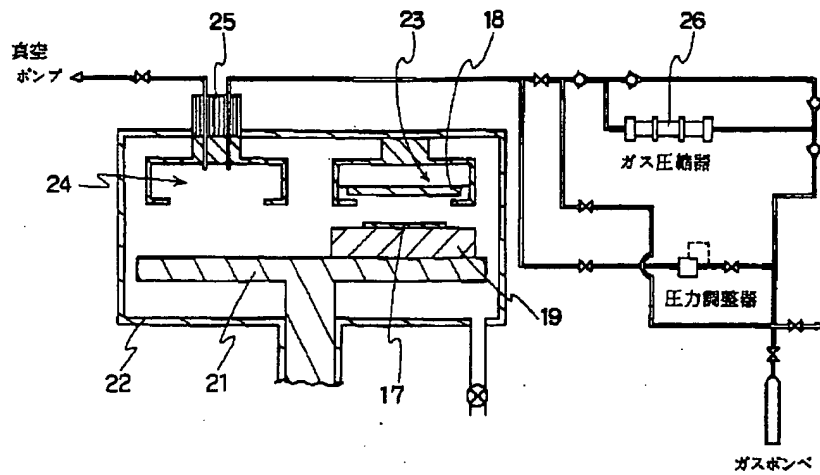
【図9】



【図11】



【図12】



フロントページの続き

(72)発明者 木ノ内 伸一

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 内川 英興

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 渡井 久男

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 三上 登

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 堀川 剛

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 奥平 智仁

伊丹市瑞原4丁目1番地 三菱電機株式会
社エル・エス・アイ研究所内

(72)発明者 楠見 嘉宏

尼崎市塚口本町8丁目1番1号 三菱電機
株式会社中央研究所内